

ANM.



⑯ BUNDESREPUBLIK
DEUTSCHLAND



DEUTSCHES
PATENTAMT

⑯ Übersetzung der
europäischen Patentschrift

⑯ Int. Cl. 6:
H 03 M 3/02

⑯ EP 0 408 287 B1

⑯ DE 690 12 468 T 2

DE 690 12 468 T 2

- ⑯ Deutsches Aktenzeichen: 690 12 468.6
⑯ Europäisches Aktenzeichen: 90 307 476.3
⑯ Europäischer Anmeldetag: 9. 7. 90
⑯ Erstveröffentlichung durch das EPA: 16. 1. 91
⑯ Veröffentlichungstag
der Patenterteilung beim EPA: 14. 9. 94
⑯ Veröffentlichungstag im Patentblatt: 4. 5. 95

⑯ Unionspriorität: ⑯ ⑯ ⑯
10.07.89 US 378557

⑯ Patentinhaber:
General Electric Co., Schenectady, N.Y., US

⑯ Vertreter:
Voigt, R., Dipl.-Ing., Pat.-Anw., 65812 Bad Soden

⑯ Benannte Vertragstaaten:
DE, FR, GB, IT

⑯ Erfinder:

Jacob, Philippe Leslie, Clifton Park, New York 12065,
US; Gaverick, Steven Lee, Schenectady, New York
12309, US

⑯ Vorrichtung zur Korrektur eines systematischen Fehlers in einem Analog/Digital-Wandler mit Überabtastung.

Anmerkung: Innerhalb von neun Monaten nach der Bekanntmachung des Hinweises auf die Erteilung des europäischen Patents kann jedermann beim Europäischen Patentamt gegen das erteilte europäische Patent Einspruch einlegen. Der Einspruch ist schriftlich einzureichen und zu begründen. Er gilt erst als eingelebt, wenn die Einspruchsgebühr entrichtet worden ist (Art. 99 (1) Europäisches Patentübereinkommen).

Die Übersetzung ist gemäß Artikel II § 3 Abs. 1 IntPatÜG 1991 vom Patentinhaber eingereicht worden. Sie wurde vom Deutschen Patentamt inhaltlich nicht geprüft.

DE 690 12 468 T 2

5

Die Erfindung bezieht sich auf Analog/Digital-Wandler des Delta-Sigma-Typs mit Überabtastung bzw. Oversampling und insbesondere auf eine Korrektur von darin auftretenden systematischen Fehlern.

10

In einem einseitigen Analog/Digital-Wandler des Delta-Sigma-Typs wird ein Fehlersignal über der Zeit integriert, um eine Integratorantwortspannung zu erzeugen, die dann mit der Referenzspannung verglichen wird, wobei dieser Vergleich mit einer 1-Bit Auflösung bei der Oversamplingrate durchgeführt wird. Die oversampelte digitale Antwort des Wandlers wird einem digitalen Dezimationsfilter zugeführt, wie es durch einen normal gelesenen und dann zurückgesetzten digitalen Zähler gebildet wird, um die Analog/Digital-Wandlerantwort bei normaler Sampling- bzw. Abtastrate zu erzeugen. Die oversampelte digitale Antwort des Wandlers wird weiterhin in eine analoge Rückführungssignalspannung umgewandelt, die unterschiedlich verknüpft wird mit der analogen Eingangssignalspannung bei der Erzeugung des Fehlersignals. Es ist übliche Praxis, die analoge Rückführungssignalspannung von dem Ausgangsport eines Daten-Flipflops zu erhalten, das die oversampelte digitale Antwort an seinem Daten-Eingangsport empfängt.

30

Es tritt ein systematischer Fehler in einer mit Vorzeichen versehenen Analog/Digital-Umwandlerantwort auf, wenn die Spannung an dem Ausgangsport des Daten-Flipflops zwischen zwei arbeitenden Versorgungsspannungen umschaltet, die nicht exakt den Mittelwert der Referenzgleichspannung

bilden. Dies kann auftreten, weil die Schaltungsanordnung zur Entwicklung einer Referenzspannung in der Mitte zwischen den zwei arbeitenden Versorgungsspannungen sehr einfach gehalten wird, um die Hardwarekosten sehr niedrig zu halten. In einem derartigen Fall ist es wahrscheinlich, daß die Referenzspannung von exakt dem Mittelwert des Ausgangsspannungsbereiches des Daten-Flipflops abweicht, und diese Abweichung erscheint als ein systematischer Fehler in dem Umwandlungsergebnis.

10 In digitalen elektronischen Schaltern oder in digitalen elektronischen Leistungsmeßgeräten werden beispielsweise 12-Bit Genauigkeiten bei den darin enthaltenen überabgetasteten Analog/Digital-Wandlern gesucht. Diese Genauigkeiten 15 können nicht erhalten werden, wenn Referenzspannungen durch einfache Spannungsteilerschaltungen erhalten werden.

Es ist eine Aufgabe der Erfindung zu gestatten, daß die 20 Quelle der Referenzspannung in einem mit Vorzeichen versehenen, einseitigen, überabgetasteten Analog/Digital-Wandler eine Referenzspannung liefert, die von dem optimalen Wert abweicht, ohne daß ein durch diese Abweichung hervorgerufener systematischer Fehler eingeführt wird. Ein Verfahren 25 zum Ausführen einer überabgetasteten Analog/Digital-Umwandlung von einem Eingangssignal durch eine Einrichtung zur Erzeugung eines Umwandlungsergebnissignals, das im wesentlichen frei von systematischen Fehlern ist, gemäß der Erfindung enthält die Schritte: Ausführen einer oversampelten bzw. überabgetasteten Analog/Digital-Umwandlung des Eingangssignals, um ein vorläufiges Umwandlungsergebnissignal 30 zu generieren, das durch einen systematischen Fehler begleitet ist, gleichzeitiges Ausführen einer oversampelten bzw. überabgetasteten Analog/Digital-Umwandlung von einem Nullwertsignal durch eine nominal identische Einrichtung,

um ein Korrektursignal zu generieren, das im wesentlichen aus einem entsprechenden systematischen Fehler besteht, und differentiales Verknüpfen des Korrektursignals und des vorläufigen Umwandlungsergebnissignals, um das Umwandlungsergebnissignal zu erzeugen, das von systematischen Fehlern im wesentlichen frei ist. In einem praktischen Ausführungsbeispiel der Erfindung wird der systematische Fehler in einem überabgetasteten Analog/Digital-Wandler unterdrückt, indem von der Umwandlungsantwort die Antwort von einem ähnlichen überabgetasteten Analog/Digital-Wandler subtrahiert wird, der die Referenzspannung als sein analoges Eingangssignal aufweist.

In den Zeichnungen zeigen:

Figur 1 ein schematisches Schaltbild von einem überabgetasteten Analog/Digital-Wandler gemäß einem Ausführungsbeispiel der Erfindung;
Figur 2 ein schematisches Schaltbild von einem digitalen elektronischen Schalter und Leistungsmeßgerät für dreiphasige Leistung gemäß einem Ausführungsbeispiel der Erfindung.

In Figur 1 ist ein erster Delta-Sigma-Analog/Digital-Wandler $\Delta\Sigma 1$ verwendet, um digitale Antworten bei einer normalen Sampling- bzw. Abtastrate bei einer analogen Eingangssignalspannung V_{IN} zu liefern, die von einer Spannungsquelle VS zugeführt wird, wie bei einem bekannten überabgetasteten Analog/Digital-Wandler. Anstatt daß diese digitalen Antworten ohne Korrektur hinsichtlich irgendeines Fehlers in einer Referenzspannung V_{REF} verwendet werden, die dem Wandler $\Delta\Sigma 1$ von einem Spannungsteiler PD zugeführt wird, wie dies bei dem bekannten Wandler geschieht, werden diese digitalen Antworten dem Minuend-Eingangsport von einem Subtrahierer SUB zugeführt, dessen Differenz-Ausgangsport die

endgültigen digitalen Antworten für den Analog/Digital-Wandler liefert. Der Subtrahent-Eingangsport des Subtrahierers SUB empfängt einen Korrekturterm, der systematische Fehler korrigiert.

5

Eine gewöhnliche Quelle dieser systematischen Fehler ist der Spannungsteiler PD. Der Spannungsteiler PD erzeugt eine Referenzspannung V_{REF} , die nominal der Mittelwert der relativ negativen und relativ positiven arbeitenden Versorgungsspannungen ist, die an ein Daten-Flipflop DFF1 angelegt werden, das in dem Delta-Sigma-Wandler $\Delta\Sigma 1$ verwendet ist, die aber tatsächlich etwas von dem exakten Mittelwert dieser zwei arbeitenden Versorgungsspannungen abweichen kann. Wenn beispielsweise die relativ negativen und relativ positiven arbeitenden Versorgungsspannungen 0 bzw. +5 Volt sind, kann die Referenzspannung V_{REF} etwas von dem Wert +2,5 Volt abweichen, den sie nominal haben sollte. Diese Abweichung δ gibt Anlaß zu einem systematischen Fehler in den digitalen Antworten, die der Wandler $\Delta\Sigma 1$ dem Minuend-Eingangsport des Subtrahierers SUB zuführt.

Der Delta-Sigma-Wandler $\Delta\Sigma 1$ enthält einen Operationsverstärker OA1, der so geschaltet ist, daß er als ein Miller-Integrator arbeitet, wobei ein integrierender Kondensator IC1 zwischen seinen Ausgangsport und seinen invertierenden Eingangsport geschaltet ist. Die Antwortspannung des Miller-Integrators wird von dem Ausgangsport des Operationsverstärkers OA1 an den invertierenden Eingangsport von einem digitalen Komparator CMP1 angelegt, um mit der Referenzspannung verglichen zu werden, die an den nicht-invertierenden Eingang des Komparators angelegt ist. Wenn die Spannungsantwort des Miller-Integrators größer als die Referenzspannung ist, ist die Ausgangsspannung des digitalen Komparators CPM1 eine logische EINS; wenn sie kleiner ist,

eine logische NULL.

- Ein Daten-Flipflop DFF1 spricht auf ein regelmäßig wiederkehrendes $\Delta\Sigma$ Taktsignal an, um das Komparator-Ausgangssignal zu sperren, wobei das Q Ausgangssignal des Daten-Flipflops auf die relativ positive arbeitende Versorgungsspannung gesetzt ist, wenn das Ausgangssignal des Komparators CPM1 eine EINS ist, und auf die relativ negative arbeitende Versorgungsspannung rückgesetzt ist, wenn das Ausgangssignal des Komparators CPM1 eine NULL ist. Das \bar{Q} Ausgangssignal des Daten-Flipflops DFF1 ist komplementär zu seinem Q Ausgangssignal. Das Daten-Flipflop DFF1 kann insofern als ein Digital/Analog-Wandler betrachtet werden, wie eine Gegenkopplungsverbindung von dem Ausgangsport des Komparators CPM1 zu dem invertierenden Eingangsport des Operationsverstärkers OA1 betroffen ist. Das Daten-Flipflop DFF1 kann insofern als eine Quelle von verriegelten digitalen Ergebnissen mit 1-Bit Auflösung betrachtet werden, als ein nachfolgendes digitales Dezimationsfilter DDF1 betroffen ist. Das Filter DDF1 spricht auf das überabgetastete Ausgangssignal von dem Daten-Flipflop DFF1 an, um eine digitale Antwort mit Vielfach-Bit-Auflösung bei einer normalen Abtastrate zu liefern.
- Ein Eingangswiderstand IR1 ist in Reihe mit der Spannungsquelle VS zwischen die nicht-invertierenden und invertierenden Eingangsports des Operationsverstärkers OA1 geschaltet, und ein Rückführungswiderstand FR1 ist zwischen den Ausgangsport \bar{Q} des Daten-Flipflops DFF1 und den invertierenden Eingangsport des Operationsverstärkers OA1 geschaltet. Die Gegenkopplung, die der integrierende Kondensator IC1 liefert, hält die invertierende Eingangsverbindung des Operationsverstärkers OA1 nahe auf V_{REF} , so daß die Spannung V_{IN} der Spannungsquelle VS über dem Eingangswiderstand

IR1 erscheint, um einen Stromfluß V_{IN}/R zu dieser invertierenden Eingangsverbindung zu bewirken, wobei angenommen sei, daß der Widerstandswert des Widerstandes IR1 den Wert R hat. Wenn der Widerstand FR1 einen ähnlichen Widerstand des Wertes R hat, bewirkt der Mittelwert des \bar{Q} Ausganges des Daten-Flipflops DFF1, der $V_{REF} - V_{IN}$ ist, einen Stromfluß V_{IN}/R aus der invertierenden Eingangsverbindung des Operationsverstärkers OA1, so daß es keine direkte Komponente des Stromflusses zu oder aus der Miller-Integratorverbindung der Elemente OA1 und IC1 gibt, um deren Spannungsantwort zu verändern, wie sie an den Spannungskomparator CMP1 angelegt wird.

Wenn der Mittelwert des \bar{Q} Ausganges des Daten-Flipflops DFF1 $V_{REF} - V_{IN}$ ist, muß der Mittelwert des Q Ausganges des Daten-Flipflops DFF1 +5,0 Volt positive Betriebsversorgungsspannung minus $(V_{REF} - V_{IN})$ sein, da sich die Q und \bar{Q} Ausgangsspannungen immer zu dieser +5,0 positiven Betriebsversorgungsspannung addieren. Das bedeutet, daß der Mittelwert des Q Ausganges des Daten-Flipflops DFF1 $V_{IN} + (+5,0v - V_{REF})$ ist. Diese Mittelwerte sind kurzzeitige Mittelwerte der Überabtastung, die über Zeitperioden vorgenommen wird, wie beispielsweise denjenigen zwischen Ausgangsproben des digitalen Dezimationsfilters DDF1, die bei normaler Abtastrate zugeführt werden.

Wenn V_{REF} exakt +2,5 Volt ist - das heißt, exakt die Mitte zwischen den +5 volt und 0 Volt Arbeitsversorgungsspannungen, hat die Q Ausgangsspannung aus dem Daten-Flipflops DFF1 einen Mittelwert $V_{IN} + (5,0v - 2,5v) = V_{IN} + 2,5v$. Das heißt, die Offsetspannung, die zu V_{IN} in dem Umwandlungsergebnis hinzugeaddiert wird, die von dem Ausgangsport des digitalen Dezimationsfilters DDF1 zugeführt wird, ist exakt $V_{REF} = 2,5$ Volt, wie gewünscht.

Wenn jedoch $V_{REF} + 2,5$ Volt plus eine Abweichung $-\delta$ ist, hat die Q Ausgangsspannung aus dem Daten-Flipflops DFF1 einen Mittelwert $V_{IN} + [+5,0v - (2,5v - \delta)] = V_{IN} + 2,5v + \delta$. Die Offset-Spannung, die zu V_{IN} in dem Umwandlungsergebnis hinzugeführt wird, die von dem Ausgangsport des digitalen Dezimationsfilters DDF1 zugeführt wird, ist um eine Abweichung δ unrichtig. Diese Abweichung δ ist der systematische Fehler in den Umwandlungsergebnissen, die die Erfindung zu eliminieren versucht.

Ein anderer Delta-Sigma Modulator $\Delta\Sigma 0$ hat Elemente IRO, OAO, ICO, CMP0, DDF0, FR0 bzw. DFF0, die den Elementen IR1, OA1, IC1, CMP1, DDF1, FR1 und DFF1 des ersten Delta-Sigma Modulators $\Delta\Sigma 1$ in den Betriebscharakteristiken sehr ähnlich sind und eine ähnliche Verbindung miteinander haben. Der andere Delta-Sigma Modulator $\Delta\Sigma 0$ hat einen Kurzschluß SC, der anstelle einer Spannungsquelle entsprechend VS über ihre Eingangsports geschaltet ist. Dementsprechend spricht der andere Delta-Sigma Modulator DSO auf die Referenzspannung V_{REF} selbst an als ein Eingangssignal, um ein digitales Ausgangssignal bei normaler Abtastrate zu generieren, wobei das digitale Ausgangssignal beschreibend für den systematischen Fehler δ ist und als das Subtrahend-Signal an den Subtrahierer SUB geliefert wird. Das Differenzsignal, das von dem Ausgangsport des Subtrahierers SUB geliefert wird, ist frei von dem systematischen Fehler δ , der an jedem seiner Eingangsports zugeführt wird, wodurch die Aufgabe der Erfindung gelöst wird.

Figur 2 zeigt einen digitalen elektronischen Schalter und Leistungsmesser für einen dreiphasigen Betrieb, der ein Ausführungsbeispiel der soweit beschriebenen Erfindung darstellt. In Figur 2 liefert ein Spannungsteiler PD eine

Referenzspannung V_{REF} an Delta-Sigma Analog/Digital-Wandler $\Delta\Sigma 2$, $\Delta\Sigma 3$, $\Delta\Sigma 4$, $\Delta\Sigma 5$, $\Delta\Sigma 6$ und $\Delta\Sigma 7$ und auch an Analog/Digital-Wandler $\Delta\Sigma 0$ und $\Delta\Sigma 1$. Die Leiter CA, CB und CC leiten eine entsprechende Phase der dreiphasigen Spannung, wenn sie

5 nicht selektiv durch einen normalerweise leitenden dreipoligen Ausschalter 3PST unterbrochen sind, der einem elektromechanischen Betätigungsglied ACT entspricht, das durch ein elektrisches Auslösesignal betätigt wird.

10 Spannungstransformatoren VTA, VTB und VTC haben entsprechende Primärwicklungen in Sternverbindung mit den dreiphasigen Spannungsleitern CA, CB und CC. Die Spannungstransformatoren VTA, VTB und VTC haben entsprechende Sekundärwicklungen, die an ihren ersten Enden verbunden sind, um 15 analoge Spannungen zu liefern, die auf Phasenspannungen zu den Delta-Sigma Analog/Digital-Wandlern $\Delta\Sigma 1$, $\Delta\Sigma 3$ bzw. $\Delta\Sigma 5$ ansprechen, und die an ihren zweiten Enden verbunden sind, um eine Referenzspannung V_{REF} von dem Spannungsteiler PD zu empfangen. Stromtransformatoren CTA, CTB und CTC haben entsprechende Primärwicklungen, die durch Segmente der dreiphasigen Spannungsleiter CA, CB bzw. CC gebildet sind. Die Stromtransformatoren CTA, CTB und CTC haben entsprechende Sekundärwicklungen, die an ihren ersten Enden verbunden sind, um 20 analoge Spannungen anzulegen, die auf Phasenströme zu Delta-Sigma Analog/Digital-Wandlern $\Delta\Sigma 2$, $\Delta\Sigma 4$ bzw. $\Delta\Sigma 6$ ansprechen, und sie sind an ihren zweiten Enden verbunden, um die Referenzspannung V_{REF} von dem Spannungsteiler PD zu empfangen. Der neutrale Strom, der von dem Mittelpunkt der Sternverbindung der Primärwicklungen der Spannungstransformatoren VTA, VTB und VTC nach Erde fließt, wird in der Primärwicklung des Stromtransformators CTN abgetastet, um an 25 einer Sekundärwicklung des Transformators CTN eine analoge Spannung zu liefern, die zu V_{REF} addiert und als ein Eingangssignal an den Delta-Sigma Analog/Digital-Wandler $\Delta\Sigma 7$ 30

angelegt wird.

Der Delta-Sigma Analog/Digital-Wandler DSO digitalisiert V_{REF} , um ein Korrektursignal für V_{REF} zu erzeugen, die nicht genau der Mittelwert der B_+ und Erdspannungen ist, zwischen denen die Digital/Analog-Wandlerabschnitte der Wandler $\Delta\Sigma_1$, $\Delta\Sigma_2$, $\Delta\Sigma_3$, $\Delta\Sigma_4$, $\Delta\Sigma_5$, $\Delta\Sigma_6$ und $\Delta\Sigma_7$ arbeiten. Dieses Korrektursignal könnte individuell von der digitalen Antwort von jedem der Wandler $\Delta\Sigma_1$, $\Delta\Sigma_2$, $\Delta\Sigma_3$, $\Delta\Sigma_4$, $\Delta\Sigma_5$, $\Delta\Sigma_6$ und $\Delta\Sigma_7$ subtrahiert werden. In Figur 2 jedoch werden die digitalen Antworten dieser Wandler zeitmultiplexiert durch einen Multiplexer TDM zu dem Minuend-Eingangsteil des Subtrahierers SUB.

Wie gezeigt ist, werden die zeitmultiplexierten Differenzsignale von dem Ausgangsport des Subtrahierers SUB an eine Leistungsüberwachungsschaltung PMC angelegt. In der Schaltungsanordnung PMC werden die digitalisierte Spannung und der Strom für jede Phase zu geeigneten Zeiten verriegelt. Es folgen digitale Multiplikationsverfahren, um Anzeigen für die mittlere Leistung in dieser Phase zu entwickeln. Diese Anzeigen der Leistung in den drei Phasen P_A , P_B und P_C können auch zusammenaddiert werden, um eine Anzeige P_T der gesamten mittleren Leistung in den drei Phasen zu erzeugen.

Es können gewisse zeitmultiplexierte Signale von dem Ausgangsport des Subtrahierers SUB als Eingangssignale zu einer Auslöseerzeugerschaltung TGC ausgewählt werden, wobei angemerkt sei, daß dies die digitalisierte Antwort auf Phasenströme und den neutralen Strom sind, wie sie durch die Analog/Digital-Wandler $\Delta\Sigma_2$, $\Delta\Sigma_4$, $\Delta\Sigma_6$ und $\Delta\Sigma_7$ geliefert werden. Die absoluten Werte dieser Antworten über gegebenen Zeitperioden werden mit Schwellenwerten in der

Auslöseerzeugerschaltung TGC verglichen, um als Antwort auf Überstromzustände Auslösesignale zu erzeugen.

Ein Fehler, der in der Schaltungsanordnung gemäß Figur 2 beobachtet ist, wenn ein Korrektursignal nicht als Subtrahend-Signal dem Subtrahierer SUB von dem Wandler $\Delta\Sigma 0$ zugeführt wird, ist dem Sekundärstrom der Transformatoren VTA, VTB, VTV, CTA, CTB, CTC und CTN zurechenbar, wodurch Spannungsabfalländerungen in V_{REF} hervorgerufen werden, weil die Quellenimpedanz des Spannungsteilers PD ungleich Null ist. Dieser Fehler erscheint als Quersprechen zwischen den digitalisierten Antworten der Wandler $\Delta\Sigma 1$, $\Delta\Sigma 2$, $\Delta\Sigma 3$, $\Delta\Sigma 4$, $\Delta\Sigma 5$, $\Delta\Sigma 6$ und $\Delta\Sigma 7$. Wenn ein Korrektursignal von dem Wandler $\Delta\Sigma 0$ an den Subtrahend-Eingangsport des Subtrahierers SUB angelegt wird, wird dieses Quersprechen unterdrückt. Dies ist zusätzlich zu der Unterdrückung von V_{REF} Fehlern, die ursprünglich auftreten oder mit einer Temperaturänderung oder einer Zeitdauer entstehen.

Es sind mit Vorzeichen versehene, einseitige Delta-Sigma Wandler bekannt, die sich von den in Figur 1 gezeigten dahingehend unterscheiden, daß die Q Ausgangsverbindung des Daten-Flipflops DFF1 zu der nicht-invertierenden Eingangsverbindung des Operationsverstärkers OA1 über einen Rückführungswiderstand zurückverbunden ist, und daß die Spannungsquelle VS verändert ist, um $V_{REF} + V_{IN}$ an die nicht-invertierende Eingangsverbindung des Operationsverstärkers OA1 anzulegen wird. Aus der vorstehenden Beschreibung sollte deutlich geworden sein, daß der systematische Fehler, der in einer derartigen Variante des Delta-Sigma Wandlers $\Delta\Sigma 1$ entsteht, kompensiert werden kann unter Verwendung einer entsprechenden Variante des Delta-Sigma Wandlers $\Delta\Sigma 0$. Mit Vorzeichen versehene, einseitige Delta-Sigma Wandler, die den Wandlern $\Delta\Sigma 1$ und $\Delta\Sigma 0$ gemäß Figur 1 ähnlich sind,

können bei der Ausführung der Erfindung verwendet werden,
abgesehen von der Umkehr der + und - Eingangsverbindungen
zu jedem der Komparatoren CMP1 und CMPO und außer der Um-
kehr der Q und \bar{Q} Ausgangsverbindungen aus jedem der Daten-
5 Flipflops DFF1 und DFF0. Ein Fachmann, der mit der vorste-
henden Offenbarung vertraut ist, ist dementsprechend in der
Lage, andere Ausführungsbeispiele der Erfindung zu entwic-
keln, und dies sollte bei der Festlegung des Schutzberei-
ches der nachfolgenden Ansprüche berücksichtigt werden.

A N S P R Ü C H E

5

1. In Kombination:

erste und zweite oversampelnde Analog/Digital-Wandler des mit Vorzeichen versehenen, einseitigen, Delta-Sigma-Typs, die in entsprechenden Betriebscharakteristiken ähnlich zu- einander sind, entsprechende Eingangsports haben, die je- weils einen entsprechenden Referenz-Anschluß und einen ent- sprechenden Eingangs-Anschluß aufweisen, und entsprechende Ausgangs-Ports haben,

15 Mittel zum Anlegen eines zu digitalisierenden Eingangssi- gnals zwischen die Referenz- und Eingangs-Anschlüsse des ersten Analog/Digital-Wandlers,

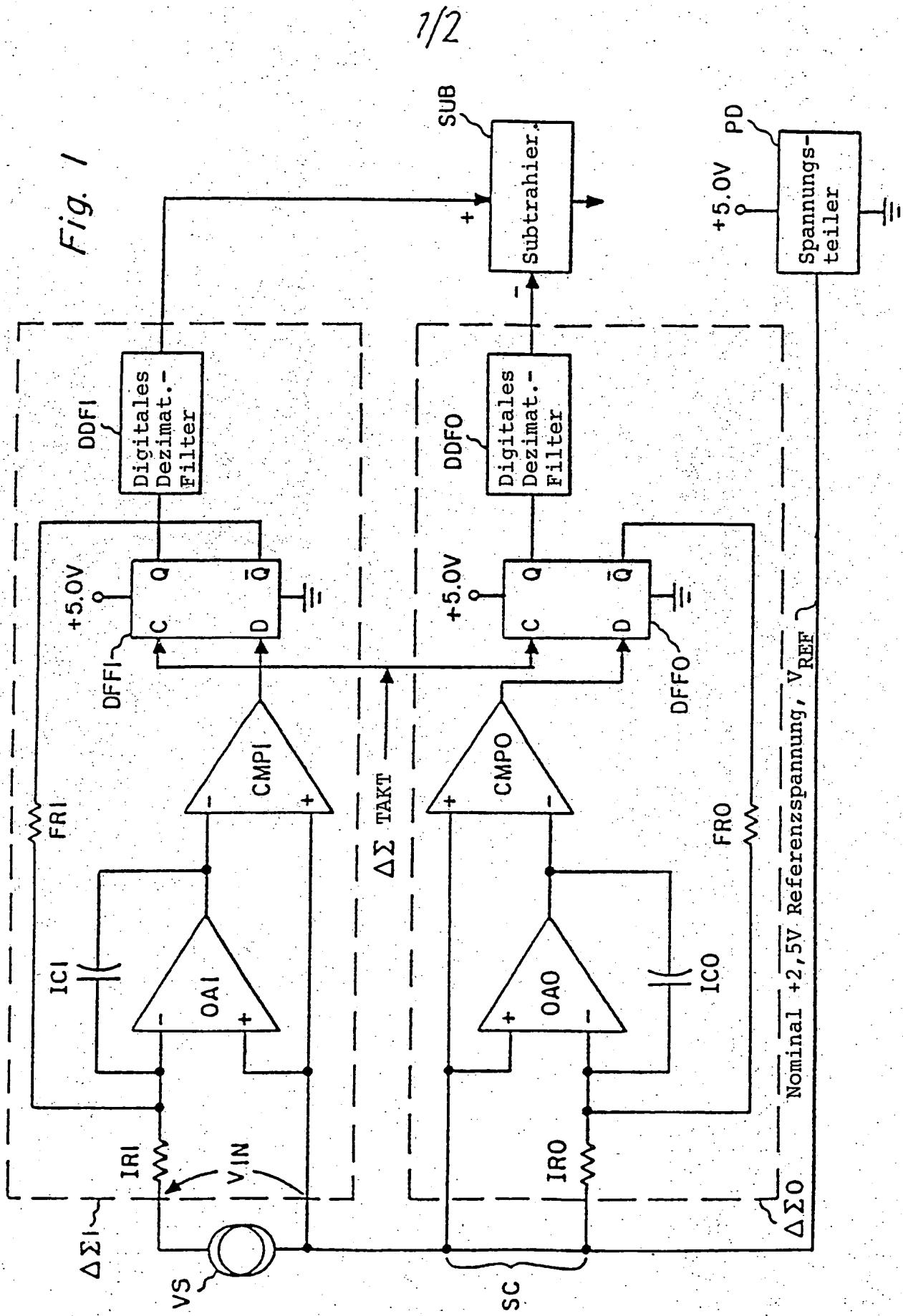
Mittel zum Anlegen einer Referenz-Spannung an die Referenz- Anschlüsse der ersten und zweiten Analog/Digital-Wandler und an den Eingangs-Anschluß des zweiten Analog/Digital- Wandlers und

20 einen Subtrahierer, der Eingangs-Ports, die mit getrennten Ausgangs-Ports der ersten und zweiten Analog/Digital-Wand- lers verbunden sind, und einen Ausgangs-Port aufweist, von dem die digitalisierte Antwort auf das Eingangs-Signal er- 25 hältlich ist.

2. Verfahren zum Ausführen einer oversampelten Ana-
30 log/Digital-Umwandlung eines Eingangssignals durch eine Einrichtung, um ein Umwandlungs-Ergebnissignal zu generie- ren, das von systematischen Fehlern im wesentlichen frei ist, wobei das Verfahren die Schritte enthält, daß eine oversampelnde Analog/Digital-Umwandlung des Eingangssignals mit einem einen systematischen Fehler enthaltenden Signal.

durchgeführt wird, um ein vorläufiges Umwandlungsergebnis zu generieren,
gleichzeitig eine oversampelte Analog/Digital-Umwandlung von einem Nullwertsignal durch eine nominal identische Einrichtung ausgeführt wird, um ein Korrektursignal zu generieren, das im wesentlichen aus einem entsprechenden systematischen Fehler besteht, und
5 differentiales Verknüpfen des Korrektursignals und des vorläufigen Umwandlungsergebnissignals, um das Umwandlungsergebnissignal zu erzeugen, das von systematischen Fehlern im wesentlichen frei ist.
10

Fig. 1



212

